

GUJARAT TECHNOLOGICAL UNIVERSITY

Diploma Engineering – SEMESTER – 6 (NEW) – EXAMINATION – Winter-2025

Subject Code: 4361102

Date: 15-11-2025

Subject Name: VLSI

Time: 02:30 PM TO 05:00 PM

Total Marks: 70

Instructions:

1. Attempt all questions.
2. Make Suitable assumptions wherever necessary.
3. Figures to the right indicate full marks.
4. Use of simple calculators and non-programmable scientific calculators are permitted.
5. English version is authentic.

Marks

- | | | | |
|----------|-----|--|----|
| Q.1 | (a) | Draw symbols of n-channel and p-channel enhancement MOSFET and depletion MOSFET. | 03 |
| પ્રશ્ન.1 | (અ) | n-channel અને p-channel enhancement MOSFET તેમજ depletion MOSFET ના પ્રતીકો દોરો | ૦૩ |
| | (b) | Explain accumulation of MOS structure under external bias with its energy band diagram. | 04 |
| | (બ) | એક્સટર્નલ બાયસ હેઠળ MOS સ્ટ્રક્ચર નું એક્યુમ્યુલેશન તેના એનર્જી બેન્ડ ડાયાગ્રામ સાથે સમજાવો. | ૦૪ |
| | (c) | List advance MOSFET technologies. Explain any one with its structure, advantages and disadvantages. | 07 |
| | (ક) | એડવાન્સ MOSFET તકનીકોની સૂચિ બનાવો. કોઈપણ એકને તેની રચના, ફાયદા અને ગેરફાયદા સાથે સમજાવો. | ૦૭ |
| | | OR | |
| | (c) | Explain Gradual Channel Approximation. | 07 |
| | (ક) | Gradual Channel Approximation સમજાવો. | ૦૭ |
| Q.2 | (a) | Draw two input NAND gate using depletion load nMOS. | 03 |
| પ્રશ્ન.2 | (અ) | ડિપ્લેશન લોડ nMOS નો ઉપયોગ કરીને બે ઇનપુટ NAND ગેટ દોરો. | ૦૩ |
| | (b) | Define VOH, VOL, VIL, and VIH. | 04 |
| | (બ) | VOH, VOL, VIL અને VIH ને વ્યાખ્યાયિત કરો | ૦૪ |
| | (c) | Draw CMOS inverter and explain its operation with VTC. | 07 |
| | (ક) | CMOS ઇન્વર્ટર દોરો અને તેની કામગીરી VTC સાથે સમજાવો. | ૦૭ |
| | | OR | |
| Q.2 | (a) | Implement NOR2 gate using CMOS | 03 |
| પ્રશ્ન.2 | (અ) | CMOS નો ઉપયોગ કરીને NOR2 ગેટનો અમલ કરો | ૦૩ |
| | (b) | Explain enhancement load inverter. | 04 |
| | (બ) | એન્હાન્સમેન્ટ લોડ ઇન્વર્ટર સમજાવો. | ૦૪ |
| | (c) | Explain Resistive load inverter with its VTC. Explain the problems related to resistive load inverter. | 07 |

	(ક) રેજિસ્ટીવ લોડ ઇન્વર્ટરને તેના VTC સાથે સમજાવો. રેજિસ્ટીવ લોડ ઇન્વર્ટર સંબંધિત સમસ્યાઓ સમજાવો.	૦૭
Q. 3	(a) Implement $Z = (AB + DE)$ using Depletion load nMOS.	03
પ્રશ્ન.3	(અ) ડિવેશન લોડ nMOS નો ઉપયોગ કરીને $Z = (AB + DE)$ નો અમલ કરો.	૦૩
	(b) Define: 1) Hierarchy 2) Modularity 3) Locality 4) Regularity	04
	(બ) વ્યાખ્યાયિત કરો: 1) હાઈરાર્કી 2) મોડ્યુલારિટી 3) લોકાલિટી 4) રેગ્યુલારિટી	૦૪
	(c) Explain Y chart with VLSI design flow.	07
	(ક) Y ચાર્ટ ને VLSI ડિઝાઇન ફ્લો સાથે સમજાવો.	૦૭
OR		
Q. 3	(a) Implement NOR2 - SR latch using CMOS.	03
પ્રશ્ન.3	(અ) CMOS નો ઉપયોગ કરીને NOR2 - SR લેચનો અમલ કરો.	૦૩
	(b) Differentiate between wet etching and dry etching.	04
	(બ) વેટ ઈચીંગ અને ડ્રાય ઈચીંગ વચ્ચે તફાવત કરો.	૦૪
	(c) Explain various step of VLSI chip fabrication process with neat diagram.	07
	(ક) VLSI ચિપ ફેબ્રિકેશન પ્રક્રિયાના વિવિધ સ્ટેપને સુઘડ રેખાકૃતિ સાથે સમજાવો.	૦૭
Q. 4	(a) Implement $Z = ((A+B) \cdot (D+E))'$ with depletion nMOS load.	03
પ્રશ્ન.4	(અ) $Z = ((A+B) \cdot (D+E))'$ ને ડિવેશન nMOS લોડ સાથે અમલમાં મૂકો.	૦૩
	(b) What is module? Explain with one example..	04
	(બ) મોડ્યુલ શું છે? એક ઉદાહરણ સાથે સમજાવો..	૦૪
	(c) Explain AOI and OAI with suitable example.	07
	(ક) યોગ્ય ઉદાહરણ સાથે AOI અને OAI સમજાવો.	૦૭
OR		
Q. 4	(a) Implement $Y = (ABC + DE + F)'$ with depletion nMOS load.	03
પ્રશ્ન.4	(અ) $Y = (ABC + DE + F)'$ ને ડિવેશન nMOS લોડ સાથે અમલમાં મૂકો.	૦૩
	(b) Write Verilog Code to implement 16x1 multiplexer.	04
	(બ) 16x1 મલ્ટિપ્લેક્સરને અમલમાં મૂકવા માટે વેરિલોગ કોડ લખો.	૦૪
	(c) Draw and Explain Clocked CMOS SR Latch circuit on NAND gate	07
	(ક) NAND ગેટથી ક્લોકડ CMOS SR લેચ સર્કિટ દોરો અને સમજાવો	૦૭
Q.5	(a) Implement the logic function $G = (PR(S+T))'$ using CMOS	03
પ્રશ્ન.5	(અ) CMOS નો ઉપયોગ કરીને લોજિક ફંક્શન $G = (PR(S+T))'$ નો અમલ કરો	૦૩
	(b) Implement 2x4 decoder using Verilog	04
	(બ) વેરિલોગનો ઉપયોગ કરીને 2x4 ડીકોડર ને અમલમાં મૂકો.	૦૪
	(c) Implement XOR gate using data flow, behavioral and structural modeling styles in Verilog.	07
	(ક) વેરિલોગમાં ડેટા ફ્લો, બિહેવ્યરલ અને સ્ટ્રક્ચરલ મોડેલિંગ શૈલીઓનો ઉપયોગ કરીને XOR ગેટનો અમલ કરો.	૦૭
OR		
Q.5	(a) Implement logic function $Y = (A + B) + C(D + E)$ using CMOS.	03
પ્રશ્ન.5	(અ) CMOS નો ઉપયોગ કરીને લોજિક ફંક્શન $Y = (A + B) + C(D + E)$ ને અમલમાં મૂકો.	૦૩
	(b) Write VERLILOG code to implement R S flip flop	04
	(બ) R S ફ્લિપ ફ્લોપને અમલમાં મૂકવા માટે VERLILOG કોડ લખો	૦૪
	(c) Implement 8:3 encoder using behavioral modeling style in Verilog.	07
	(ક) વેરિલોગમાં બિહેવ્યરલ મોડેલિંગ શૈલીનો ઉપયોગ કરીને 8:3 એન્કોડરનો અમલ કરો.	૦૭
