

**GUJARAT TECHNOLOGICAL UNIVERSITY****Diploma Engineering – SEMESTER – 6 (NEW) – EXAMINATION – Summer-2023****Subject Code: 3361104****Date: 06-07-2023****Subject Name: VISI****Time: 10:30 AM TO 01:00 PM****Total Marks: 70****Instructions:**

1. Attempt all questions.
2. Make Suitable assumptions wherever necessary.
3. Figures to the right indicate full marks.
4. Use of programmable & Communication aids are strictly prohibited.
5. Use of non-programmable scientific calculator is permitted.
6. English version is authentic

**Q.1** Answer any seven out of ten. દશમાંથી કોઇપણ સાતના જવાબ આપો. **14**

1. Draw voltage transfer characteristic of ideal inverter.
૧. આઈડલ ઇનવર્ટરની વોલ્ટેજ ટ્રાન્સફર લાક્ષણિકતા ગ્રાફ દોરો.
2. Define the terms:  $V_{oh}$ ,  $V_{ol}$ ,  $V_{ih}$ ,  $V_{il}$ .
૨.  $V_{oh}$ ,  $V_{ol}$ ,  $V_{ih}$ ,  $V_{il}$  ની વ્યાખ્યા આપો.
3. Define the terms:  $NM_L$ ,  $NM_H$ .
૩.  $NM_L$ ,  $NM_H$  ની વ્યાખ્યા આપો.
4. Write input voltage range for different operating modes of Resistive load inverter.
૪. રેજિસ્ટીવ લોડ ઇનવર્ટર ના જુદા જુદા ઓપેરેટિંગ મોડસ માટે ઇનપુટ વોલ્ટેજ રેંજ લખો.
5. Compare enhancement load nMOS inverter with depletion load nMOS inverter.
૫. enhancement load nMOS ઇનવર્ટરની depletion load nMOS ઇનવર્ટર સાથે તુલના કરો.
6. Draw Resistive load inverter circuit.
૬. Resistive load ઇનવર્ટર ની સર્કિટ દોરો.
7. Draw layout of CMOS inverter with p type substrate.
૭. P ટાઇપ સબસ્ટ્રેટ- CMOS ઇનવર્ટર નો લેઆઉટ દોરો.
8. Write conditions of pMOS transistor in various operating regions of CMOS inverter circuit.
૮. CMOS ઇનવર્ટર સર્કિટમાં pMOS ટ્રાન્સસીસ્ટર ની જુદી જુદી સ્થિતિ વિષે લખો.
9. Define power dissipation in an inverter circuit.
૯. ઇનવર્ટર સર્કિટ માટે પાવર ડિસસીપેશન ની વ્યાખ્યા આપો.
10. List the advantages of CMOS inverter.
૧૦. CMOS ઇનવર્ટર ના ફાયદા જણાવો.

**Q.2** (a) Draw energy band diagram of p type silicon substrate. **03**  
**પ્રશ્ન. ૨** (અ) P ટાઇપ સિલિકોન સબસ્ટ્રેટ નો એનર્જી બેન્ડ ડાયગ્રામ દોરો. **૦૩**

**OR**

(a) Draw energy band diagram of MOS structure operating in depletion mode under small gate bias. **03**  
 (અ) ડેપ્લેશન મોડમાં સ્મોલ ગેટ બાયસ માટે MOS સ્ટ્રક્ચર નો એનર્જી બેન્ડ ડાયગ્રામ **૦૩**

દોરો.

- (b) Draw the physical structure of an n channel enhancement type MOSFET. 03  
(બ) n channel enhancement type MOSFET નું ફિઝિકલ સ્ટ્રક્ચર દોરો. ૦૩

OR

- (b) Draw various circuit symbols for p channel enhancement type MOSFETs. 03  
(બ) p channel enhancement type MOSFETs ના સર્કિટ સિમ્બોલ દોરો. ૦૩  
(c) Explain drain current vs drain voltage characteristic of an n-channel MOSFET with necessary diagram. 04  
(ક) n-channel MOSFET માટે ડ્રેઇન કરંટ vs ડ્રેઇન વોલ્ટેજ નો લાક્ષણિકતા ગ્રાફ સમજાવો. ૦૪

OR

- (c) Write a short on FPGA. 04  
(ક) FPGA પર નોંધ લખો. ૦૪  
(d) Explain CMOS ring oscillator circuit. 04  
(ડ) CMOS રિંગ ઓસિલેટર સમજાવો. ૦૪

OR

- (d) Draw and explain two input NOR gate with depletion nMOS loads. 04  
(ડ) two input NOR gate with depletion nMOS loads સર્કિટ દોરી સમજાવો. ૦૪

**Q.3**  
**પ્રશ્ન. 3**

- (a) Explain CMOS inverter circuit in brief. 03  
(અ) CMOS inverter સર્કિટ ટૂંક માં સમજાવો. ૦૩

OR

- (a) Draw CMOS NAND2 gate. 03  
(અ) CMOS NAND2 gate દોરો. ૦૩  
(b) Implement the following logic circuit using CMOS inverter:  
 $Y = (DEA + BC)'$  03  
(બ) CMOS inverter ની મદદ થી લોજિક સર્કિટ દોરો  
 $Y = (DEA + BC)'$  ૦૩

OR

- (b) Implement the following logic circuit using CMOS inverter:  
 $Y = ((A + B)(C + D))'$  03  
(બ) CMOS inverter ની મદદ થી લોજિક સર્કિટ દોરો  
 $Y = ((A + B)(C + D))'$  ૦૩  
(c) Implement the following logic circuit using depletion nMOS load inverter:  
 $Y = (A(D + E) + BC)'$  04  
(ક) ૦૪

depletion nMOS load inverter ની મદદ થી લોજિક સર્કિટ દોરો  
 $Y = (A(D + E) + BC)'$

OR

- (c) Explain CMOS SR latch circuit based on NOR gate. 04  
(ક) CMOS SR latch circuit based on NOR gate સમજાવો. ૦૪  
(d) Implement clocked SR latch based on NAND gate using depletion load NMOS inverter. 04  
(ડ) clocked SR latch based on NAND gate, depletion load NMOS inverter ની મદદ થી દોરો. ૦૪

OR

- (d) Implement clocked JK flip flop based on NAND gate using CMOS inverter. 04  
(ડ) clocked JK flip flop based on NAND gate, CMOS inverter ની મદદ થી દોરો. ૦૪

<b>Q.4</b>	(a)	Write a VHDL programme for 4 input OR gate.	<b>03</b>
<b>પ્રશ્ન. ૪</b>	(અ)	4 input OR gate માટે VHDL પ્રોગ્રામ લખો.	<b>૦૩</b>
		OR	
	(a)	Write a VHDL programme for logic $Y = AB' + C(D + E)$	<b>03</b>
	(અ)	$Y = AB' + C(D + E)$ માટે VHDL પ્રોગ્રામ લખો.	<b>૦૩</b>
	(b)	Write VHDL programme for Full Adder.	<b>04</b>
	(બ)	Full Adder માટે VHDL પ્રોગ્રામ લખો.	<b>૦૪</b>
		OR	
	(b)	Write VHDL programme for XOR gate using structural method.	<b>04</b>
	(બ)	XOR gate માટે VHDL પ્રોગ્રામ structural મેથડ થી લખો.	<b>૦૪</b>
	(c)	Explain VLSI design flow using Y chart.	<b>07</b>
	(ક)	VLSI ડિઝાઇન ફ્લો Y ચાર્ટ થી સમજાવો.	<b>૦૭</b>
<b>Q.5</b>	(a)	Write VHDL programme for 4x1 multiplexer.	<b>04</b>
<b>પ્રશ્ન. ૫</b>	(અ)	4x1 multiplexer માટે VHDL પ્રોગ્રામ લખો.	<b>૦૪</b>
	(b)	Write VHDL programme for 4 bit parallel adder using structural method.	<b>04</b>
	(બ)	4 bit parallel adder માટે VHDL પ્રોગ્રામ structural મેથડ થી લખો.	<b>૦૪</b>
	(c)	Write VHDL programme for D Flip Flop.	<b>03</b>
	(ક)	D Flip Flop માટે VHDL પ્રોગ્રામ લખો.	<b>૦૩</b>
	(d)	Write VHDL programme for JK Flip Flop.	<b>03</b>
	(ક)	JK Flip Flop માટે VHDL પ્રોગ્રામ લખો.	<b>૦૩</b>

\*\*\*\*\*